

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 08271584 A

(43) Date of publication of application: 18 . 10 . 96

(51) Int. Cl.

G01R 31/28
H01L 27/04
H01L 21/822

(21) Application number: 07070094

(22) Date of filing: 28 . 03 . 95

(71) Applicant: TOSHIBA MICROELECTRON
CORP TOSHIBA CORP

(72) Inventor: OGAWA YOSHIKAZU

(54) TEST CIRCUIT FOR INTEGRATED CIRCUIT

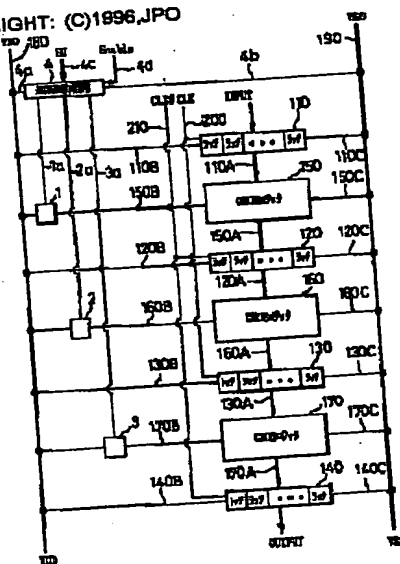
(57) Abstract:

PURPOSE: To specify a defective part easily when an integrated circuit is tested for defect accompanying DC current through measurement of power supply current flowing between VDD and VSS by providing a circuit for controlling the operation of each power supply path interrupting circuit.

CONSTITUTION: Power supply path interrupting circuits 1, 2, 3 are provided on the feeder lines only for CMOS logics 150, 160, 170. In other words, the power supply path interrupting circuit 1 is inserted between feeder lines 150B in order to control current supply from a power supply to the CMOS logic 150 while the power supply path interrupting circuit 2 is inserted between feeder lines 160B in order to control current supply from a power supply to the CMOS logic 160. Similarly, the power supply path interrupting circuit 3 is inserted between feeder lines 170B in order to control current supply from a power supply to the CMOS logic 170. When short circuit is present in a latch, cause of trouble can be searched relatively easily because '1' or '0' state is latched or a state change takes place

asynchronously with clock signal.

COPYRIGHT: (C)1996,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-271584

(43) 公開日 平成8年(1996)10月18日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 1 R 31/28			G 0 1 R 31/28	V
H 0 1 L 27/04			H 0 1 L 27/04	T
21/822				

審査請求 未請求 請求項の数 2 O L (全 10 頁)

(21) 出願番号 特願平7-70094

(22) 出願日 平成7年(1995)3月28日

(71) 出願人 000221199

東芝マイクロエレクトロニクス株式会社
神奈川県川崎市川崎区駅前本町25番地 1

(71) 出願人 000003078

株式会社東芝
神奈川県川崎市幸区堀川町72番地

(72) 発明者 小川 義和

神奈川県川崎市川崎区駅前本町25番地 1
東芝マイクロエレクトロニクス株式会社内

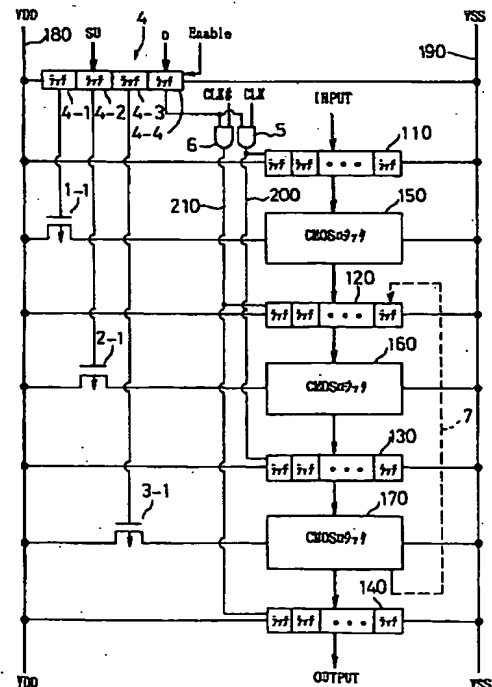
(74) 代理人 弁理士 三好 秀和 (外 3 名)

(54) 【発明の名称】 集積回路のテスト用回路

(57) 【要約】

【目的】 VDD-VSS間の電源電流を測定して集積回路のDC電流を伴う不良を判定するテスト時において、その不良発生部分の特定を容易に行うことができる集積回路のテスト用回路を提供することである。

【構成】 順序回路と組み合わせ回路の双方を含む集積回路における各組み合わせ回路への電源経路をそれぞれ遮断する複数の電源経路遮断回路と、前記集積回路の電源電流を測定することで該集積回路の良否を判別するテスト実行時に、前記各電源経路遮断回路の遮断実行を制御する遮断制御回路と、前記テスト実行時に前記各組み合わせ回路の出力をカットする出力カット手段とを備えたものである。



【特許請求の範囲】

【請求項1】 順序回路と組み合わせ回路の双方を含む集積回路における各組み合わせ回路への電源経路をそれぞれ遮断する複数の電源経路遮断回路と、前記集積回路の電源電流を測定することで該集積回路の良否を判別するテスト実行時に、前記各電源経路遮断回路の遮断実行を制御する遮断制御回路とを備えたことを特徴とする集積回路のテスト用回路。

【請求項2】 順序回路と組み合わせ回路の双方を含む集積回路における各組み合わせ回路への電源経路をそれぞれ遮断する複数の電源経路遮断回路と、前記集積回路の電源電流を測定することで該集積回路の良否を判別するテスト実行時に、前記各電源経路遮断回路の遮断実行を制御する遮断制御回路と、前記テスト実行時に前記各組み合わせ回路の出力をカットする出力カット手段とを備えたことを特徴とする集積回路のテスト用回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、集積回路の良否判定を行うIDDQテスト等に使用される集積回路のテスト用回路に関する。

【0002】

【従来の技術】 従来、CMOS回路で構成される集積回路に対するテスト容易化手法として、IDDQテスト (Quiescent power supply current Test) が一般に知られている。

【0003】 CMOS回路は、電源電位VDDに接続されるP-MOS素子による回路と、接地電位VSSに接続されるN-MOS素子による回路とが相補う形で組み合せて構成され、P-MOS素子回路及びN-MOS素子回路のいずれかの回路がオン状態 (導通状態) となるため、VDD-VSS間には微少な電源電流しか流れない特徴を有している。

【0004】 しかし、CMOS回路にショート故障が存在すると、VDD-VSS間の電源電流は正常時の2～3桁以上に増加する。前記IDDQテストは、この点に着目したテストであり、DC電流の伴う故障をVDD-VSS間の電源電流を測定することにより判定するものである。

【0005】 集積回路は、論理ゲート (AND、OR、NOT、EXORなど) の組み合わせにより構成される組み合わせ回路と、ラッチ、フリップフロップ等のデータを保持する順序回路とにより構成されている。

【0006】 図8は、論理ゲートとラッチの組み合わせにより構成した従来の集積回路の一構成例を示すブロック図である。

【0007】 この集積回路は、ラッチ群110、120、130、140と、CMOS論理ゲートの組み合わせにより構成されたCMOSロジック150、160、

170とにより構成されている。これらの回路は、ラッチ群110、CMOSロジック150、ラッチ群120、CMOSロジック160、ラッチ群130、CMOSロジック170、及びラッチ群140の順に配置され、それぞれ信号線群110A、150A、120A、160A、130A、170Aを介して縦続接続されている。

【0008】 また、これらの回路は、VDD電源ライン180とVSS接地ライン190との間に接続されている。すなわち、ラッチ群110、120、130、140の電源側は、それぞれ電源ライン110B、120B、130B、140Bを介してVDD電源ライン180に接続され、その接地側は、それぞれ接地ライン110C、120C、130C、140Cを介してVSS接地ライン190に接続されている。

【0009】 一方、CMOSロジック150、160、170の電源側は、それぞれ電源ライン150B、160B、170Bを介してVDD電源ライン180に接続され、その接地側は、それぞれ接地ライン150C、160C、170Cを介してVSS接地ライン190に接続されている。

【0010】 さらに、ラッチ群110、130には、クロック信号線200よりCLK信号が供給され、ラッチ群120、140には、CLK信号の反転信号CLK#信号がクロック信号線210を介して供給されるようになっている。

【0011】 各ラッチ群110、120、130、140を構成するラッチは、図9(a)に示されるクロックインバータ301、302とインバータ303、304により構成されているものとする。クロックインバータ301、302は、図9(b)に示すようにP-MOS 401、402とN-MOS 403、404で構成されている。図9(a)のラッチ動作は、図9(c)のタイミングチャートに示すように、CLK信号の“H”レベル期間中にデータ取り込み口が開いているため、その間にデータが変化すると出力も変化する。CLK信号の立ち下がりでデータ取り込み口が閉まり、その時のデータがCLK信号の“L”レベル期間中に亘って保持される。従って、CLK信号が“L”レベルの間に変化した入力データDは、CLK信号が“H”レベルになるまで出力に現れない。

【0012】 また、図10にCMOS論理ゲートの一例として複合ゲート (P-MOS 501、502、503、N-MOS 504、505、506) と、インバータ (P-MOS 507、N-MOS 508) とによる $Z = (A+B) \cdot C$ の回路を示す。なお、図10のCMOS論理ゲートは、図8のCMOSロジック150、160、170の各々の一部として使用されるものとする。

【0013】 図11は、図8の回路の動作を示すタイミングチャートである。

【0014】図中の $t_0 \sim t_9$ は、CLK信号を基準とした1/2周期に区切った時間を表している。また、 α 、 $\alpha+1$ 、 $\alpha+3$ 、 $\alpha+4$ は、INPUTデータの任意の値を疑似的に示しており、2進数で示される複数ビットを意味するものとする。INPUTデータは、図8の各CMOSロジック150、160、170を通過すると変化するが、INPUTデータとの対応をとってデータの流れを示すために、各ラッチ群及び信号線のタイミングチャートには同一の符号で示している。

【0015】図11のタイミングチャートに従い、図8の回路の動作説明を行う。

【0016】時刻 t_0 においてINPUTデータとしてデータ α が入力される。それ以前のデータは不定値とする。

【0017】時刻 t_1 では、CLK=1、CLK#=0となり、ラッチ群110、130はデータ取り込み口をオープンし、ラッチ群120、140はデータ取り込み口をクローズしている。データ α はラッチ群110に取り込まれる。INPUTデータが変化するとそれに連れてラッチ群110の出力が変化することから、信号線群110Aを介してCMOSロジック150にデータ α が入力され、CMOSロジック150のデータ通過時間遅れて信号線群150Aにデータ α が現れる。

【0018】この時、ラッチ群120はデータ取り込み口がクローズしているので、データ α はラッチ群120以下の回路へ伝搬せず、ラッチ群120以下の回路は不定状態となっている。

【0019】時刻 t_2 では、CLK=0、CLK#=1となり、ラッチ群110、130はデータ取り込み口をクローズし、ラッチ群120、140はデータ取り込み口をオープンする。従って、信号線群150A上のデータ α は、ラッチ群120に取り込まれ出力が変化する。データ α は、信号線群120Aを介してCMOSロジック160へ入力され、CMOSロジック160のデータ通過時間遅れて信号線群160Aにデータ α が現れる。

【0020】この時、ラッチ群130はデータ取り込み口がクローズしているので、データ α はラッチ群130以下の回路へ伝搬せず、ラッチ群130以下の回路は不定状態となっている。また、INPUTデータは、データ α からデータ $\alpha+1$ へ変化しているが、ラッチ群110のデータ取り込み口がクローズしているので、ラッチ群110以下の回路へデータ $\alpha+1$ は伝搬しない。

【0021】時刻 t_3 では、CLK=1、CLK#=0となり、ラッチ群110、130はデータ取り込み口をオープンし、ラッチ群120、140はデータ取り込み口をクローズする。従って、信号線群160A上のデータ α は、ラッチ群130に取り込まれ出力が変化する。データ α は信号線群130Aを介してCMOSロジック170へ入力し、CMOSロジック170のデータ通過時間遅れて信号線群170Aにデータ α が現れる。

【0022】この時、ラッチ群140はデータ取り込み口がクローズしているので、データ α はラッチ群140以下の回路へ伝搬せず、ラッチ群140及びOUTPUTデータは不定状態となっている。同時に、データ $\alpha+1$ は、ラッチ群110に取り込まれる。INPUTデータが変化するとそれに連れてラッチ群110の出力が変化するから、信号線群110Aを介してCMOSロジック150にデータ $\alpha+1$ が入力され、CMOSロジック150のデータ通過時間遅れて信号線群150Aにデータ $\alpha+1$ が現れる。この場合、ラッチ群120はデータ取り込み口がクローズしているので、データ $\alpha+1$ はラッチ群120以下の回路へ伝搬しない。

【0023】時刻 t_4 では、CLK=0、CLK#=1となり、ラッチ群110、130はデータ取り込み口をクローズし、ラッチ群120、140はデータ取り込み口をオープンする。信号線群170A上のデータ α は、ラッチ群140にデータが取り込まれ出力が変化する。従って、データ α はOUTPUTデータとして現れる。同時に、信号線群150Aに現れたデータ $\alpha+1$ はCMOSロジック160に入力され、CMOSロジック160のデータ通過時間遅れて信号線群160Aにデータ $\alpha+1$ が現れる。この時、ラッチ群130はデータ取り込み口がクローズしているので、データ $\alpha+1$ はラッチ群130以下の回路へ伝搬しない。

【0024】以下同様の動作で、INPUTデータが伝搬し図11のタイミングチャートに示される動作を行う。

【0025】IDDQテストは、CLK信号を固定し回路状態が安定したタイミングでVDD-VSS間の電源電流を測定することで不良を判定するテストである。上記の回路の場合、時刻 t_4 でのCLK信号及びCLK#信号を固定し、CMOSロジック160の安定（信号線群160Aがデータ $\alpha+1$ に安定）及びOUTPUTデータが安定した状態でVDD-VSS間の電流を測定する。同様に t_5 、 t_6 と順次電流を測定し、電源電流の異常増加が見つかりと不良と判断する。

【0026】図12は、図10の回路のリーク異常時を示す図であり、例えばCMOSロジック150のCMOS論理ゲートにおいて、P-MOS502のドレインソース間に同図で示すようなショート故障が存在し、データ $\alpha+1$ の状態にセットされたとき、入力の状態が

(A, B, C=0, 1, 1)となるものとする。その場合、P-MOS501及びN-MOS505、506がオンへ、P-MOS502、503及びN-MOS504がオフへ制御されるが、P-MOS502がショートしているため、図12に示すように、時刻 t_4 にVDD-VSS間にCMOSロジック150の電源ライン150B及び接地ライン150Cを介してリーク電流が流れるため、電源電流は異常増加し不良と判断される（次の t_5 時においても同様の結果となる）。

【0027】このように、IDDQテストはDC電流を伴う不良の良否判定には有効な手段となっている。

【0028】

【発明が解決しようとする課題】しかしながら、上述の集積回路に対してIDDQテストを行う場合には、LSIテスト等の測定装置によりVDD-VSS間の電源電流を測定するのみであるため、従来のような集積回路で不良箇所を特定しようとした場合、解析が困難である。

【0029】この問題は、各ラッチ群110、120、130、140、CMOSロジック150、160、170毎に外部から与えられる電源及びグランドを分けることで解決されるが、その際、各ラッチ群110～140及びCMOSロジック150～170毎に供給される電源電圧レベルに差が生じ、電源電圧の安定供給が難しくなるという問題が生ずることになる。

【0030】本発明は、上述の如き従来の問題点を解決するためになされたもので、その目的は、VDD-VSS間の電源電流を測定して集積回路のDC電流を伴う不良を判定するテスト時において、その不良発生部分の特定を容易に行うことができる集積回路のテスト用回路を提供することである。またその他の目的は、VDD-VSS間の電源電流を測定して集積回路のDC電流を伴う不良を判定するテスト時において、その不良発生部分の特定をより一層容易に行うことができる集積回路のテスト用回路を提供することである。

【0031】

【課題を解決するための手段】上記目的を達成するために、第1の発明の特徴は、順序回路と組み合わせ回路の双方を含む集積回路における各組み合わせ回路への電源経路をそれぞれ遮断する複数の電源経路遮断回路と、前記集積回路の電源電流を測定することで該集積回路の良否を判別するテスト実行時に、前記各電源経路遮断回路の遮断実行を制御する遮断制御回路とを備えたものである。

【0032】第2の発明の特徴は、順序回路と組み合わせ回路の双方を含む集積回路における各組み合わせ回路への電源経路をそれぞれ遮断する複数の電源経路遮断回路と、前記集積回路の電源電流を測定することで該集積回路の良否を判別するテスト実行時に、前記各電源経路遮断回路の遮断実行を制御する遮断制御回路と、前記テスト実行時に前記各組み合わせ回路の出力をカットする出力カット手段とを備えたものである。

【0033】

【作用】上述の如き構成の第1の発明によれば、遮断制御回路は、例えばIDDQテスト実行時に、各電源経路遮断回路による組み合わせ回路への電源経路の遮断実行を所定のスケジュールで制御する。これにより、IDDQテスト時において不良箇所の特定を容易に行える。

【0034】第2の発明によれば、遮断制御回路は、例えばIDDQテスト実行時に、各遮断回路による組み合

わせ回路の電源経路の遮断実行を制御し、その一方で出力カット手段は、各組み合わせ回路の出力をカットする。これにより、各CMOSロジックの電源経路を遮断しても他の回路にその影響を与えないので、各電源経路遮断回路による遮断実行の順番を考慮する必要がなくなり、IDDQテスト時において不良箇所の特定をより一層容易に行える。

【0035】

【実施例】以下、本発明の実施例を図面に基づいて説明する。図1は、本発明の第1実施例に係る集積回路のテスト用回路を示すブロック図であり、図8と共通の要素には同一の符号が付されている。

【0036】本実施例の集積回路は、図8に示した回路に加え、電源経路遮断回路1、2、3と、各電源経路遮断回路1～3の遮断実行を制御する遮断制御回路4とを、IDDQテスト時のテスト用回路として付加したものである。

【0037】電源経路遮断回路1、2、3は、CMOSロジック150、160、170の電源ラインのみに設けられている。すなわち、電源経路遮断回路1は、電源ライン150B間に挿入され、CMOSロジック150への電源電流供給をコントロールし、電源経路遮断回路2は、電源ライン160B間に挿入され、CMOSロジック160への電源電流供給をコントロールする。同様に、電源経路遮断回路3は、電源ライン170B間に挿入され、CMOSロジック170への電源電流供給をコントロールする。

【0038】また、電源経路遮断回路1、2、3は、それぞれ信号線1a、1b、1cにより遮断制御回路4に接続されている。遮断制御回路4は、電源ライン4aと接地ライン4bとの間に接続され、電源経路遮断の制御は、信号線4cより入力される設定信号SU（予め定められたスケジュール）に従って行われる。電源経路遮断回路1、2、3は、信号線1a、2a、3aより設定信号SUとして“1”を供給された場合、それぞれCMOSロジック150、160、170への電源供給を遮断するものとする。前記設定信号SUは、信号線4dより入力されるEnable信号の有効時以外、信号線1a、2a、3aへ伝わらないものとする。

【0039】次に、本実施例の動作を説明する。

【0040】ラッチにショート故障が存在した場合は、ラッチの状態が“1”固定または“0”固定や、クロック信号に同期せずに状態変化が起こるといった機能動作に不具合が生ずることから、不具合の原因追究は比較的容易に行える。以下では、ラッチの正常動作を確認したものとして説明する。なお、本実施例では、Enable信号＝“1”の場合を有効とし、Enable信号＝“0”の場合を無効とする。

【0041】まず、電源経路遮断回路1、2、3による電源電流供給の遮断が行われない場合は、図8と同様の

動作を行う。すなわち、通常動作時の状態として、Enable信号="0"且つ遮断制御回路4から信号線1a, 2a, 3aへの出力が"0"の状態にあり、図11のタイミングチャートに示すように動作する。

【0042】例えば、CMOSロジック160に図12に示すようなショート故障が存在し、データ $\alpha+2$ の状態にセットされたときにリーク電流が発生するものと仮定する。なお、CMOSロジック160がデータ $\alpha+2$ の状態にセットされるのは、図11において、時刻t6, t7の状態のときである。

【0043】時刻t6において、CLK信号="0"、CLK#信号="1"であるので、ラッチ群110, 130のデータ取り込み口がクローズし、ラッチ群120, 140のデータ取り込み口がオープンとなる。このとき、電源経路遮断回路1, 2, 3により電源電流を遮断した場合、各CMOSロジック150, 160, 170の出力が変化するため、信号線群150A, 160A, 170Aのデータが変化する。ラッチ群120, 140のデータ取り込み口はオープンなので、CMOSロジック150及びCMOSロジック170への電源電流供給を電源経路遮断回路1, 3により遮断した場合、ラッチ群120, 140及びCMOSロジック160の状態に影響を与えることになる。また、電源経路遮断回路2により、CMOSロジック160への電源供給の遮断では、ラッチ群130のデータ取り込み口がクローズであるので、ラッチ群及び他のCMOSロジックへの影響がない。

【0044】この時刻t6では、電源経路遮断回路2によるCMOSロジック160への電源電流供給を遮断する。もし、CMOSロジック160にショート故障が存在すると、VDD-VSS間の電流はCMOSロジック160への電源電流供給を遮断された時点で大幅にダウンする。

【0045】次に時刻t7の状態にする。時刻t7の状態にするには、時刻t6においてラッチ群120のデータ取り込み口がクローズしていることから、電源経路遮断回路3をオープンしてCMOSロジック160に電源供給し、状態が安定するのを待ってCLK信号及びCLK#信号を反転すれば可能である。但し、試験的意味を考えると同じ状態が設定されとはいえず、異なる動作を経過して状態が設定されることになるので、改めて時刻t0から順に時刻t7の状態に設定することにする。

【0046】時刻t7において、CLK信号="1"及びCLK#信号="0"であるので、ラッチ群110, 130のデータ取り込み口がオープン、ラッチ群120, 140のデータ取り込み口がクローズとなる。このとき、電源経路遮断回路1, 2, 3により電源電流を遮断した場合、各CMOSロジック150, 160, 170の出力が変化するため、信号線群150A, 160A, 170Aのデータが変化する。ラッチ群130のデ

ータ取り込み口はオープンなので、CMOSロジック160への電源電流供給を電源経路遮断回路2により遮断した場合、ラッチ群130及びCMOSロジック170の状態に影響を与えることになる。電源経路遮断回路1, 3により、CMOSロジック150及びCMOSロジック170への電源供給の遮断では、ラッチ群120, 140のデータ取り込み口がクローズなので、ラッチ群及び他のCMOSロジックへの影響がない。

【0047】この時刻t7では、電源経路遮断回路1, 3によるCMOSロジック150, 170への電源電流供給を順次遮断しVDD-VSS間の電流をそれぞれ測定する。もし、CMOSロジック150にショート故障が存在すると、VDD-VSS間の電流は、CMOSロジック150への電源供給を遮断した時点で大幅にダウンする。また、CMOSロジック170にショート故障が存在すると、VDD-VSS間の電流は、CMOSロジック170への電源電流供給を遮断した時点で大幅にダウンする。この実施例の仮定では、CMOSロジック160にショート故障が存在することになっているので、VDD-VSS間の電流は大幅な変化がないことになる。

【0048】CMOSロジック150は、時刻t6においてデータ $\alpha+2$ であり、時刻t7ではデータ $\alpha+3$ の状態に変化している。CMOSロジック150のデータ $\alpha+3$ の状態でリーク故障が存在しないことが確認されている。データ $\alpha+2$ の状態は、時刻t5でリーク電流の大幅な増加がなかったことで保証されている。CMOSロジック170は、時刻t6においてデータ $\alpha+1$ であり時刻t7ではデータ $\alpha+2$ の状態に変化している。

【0049】CMOSロジック170もCMOSロジック150と同様で、データ $\alpha+2$ の状態でリーク故障が存在しないことが確認されている。データ $\alpha+1$ の状態は、時刻t5でリーク電流の大幅な増加がなかったことで保証されている。以上のことから、CMOSロジック160にショート故障が存在することが特定される。

【0050】CMOSロジック150またはCMOSロジック170に不良が存在した場合でも、上記と同様の方法で特定することが可能である。

【0051】図2は、図1中の遮断制御回路4及び電源経路遮断回路1, 2, 3の具体的な回路例を示す図である。

【0052】遮断制御回路4は3つのラッチ4-1, 4-2, 4-3により構成されている。各ラッチ4-1~4-3には、クロック信号の代わりにEnable信号が入力され、このEnable信号に同期し動作するようにする。また、電源経路遮断回路1, 2, 3は、それぞれ1個のP-MOSパストランジスタ1-1, 2-1, 2-1で構成されているが、このP-MOSパストランジスタは、各CMOSロジック150, 160, 170の動作に影響が少ないように、オン抵抗が極力小さ

くなるようにチャネル幅を大きく設定してある。

【0053】また、各CMOSロジック150〜170も、P-MOSパストランジスタのオン抵抗を考慮し、トランジスタサイズの調整が図られている。なお、電源経路遮断回路1, 2, 3は、1個のP-MOSパストランジスタで実現されるとは限らず複数個で実現しても構わない。例えば、CMOSロジック中のCMOS論理ゲート毎に配置しても良く、図3に4入力NANDゲート、図4に4入力NORゲートの例を示す。

【0054】図5は、本発明の第2実施例に係る集積回路のテスト用回路を示すブロック図であり、図1と共通の要素には同一の符号が付されている。

【0055】本実施例は、上記第1実施例において、遮断制御回路4にラッチ4-4を新たに加え、ANDゲート5, 6によりCLK信号及びCLK#信号をEnable信号に同期して強制的に“0”にする機能（出力カット手段）を加えたものである。すなわち、クロック信号線200, 210にそれぞれANDゲート5, 6を挿入し、遮断制御回路4のラッチ4-4には、電源電流遮断モード（Enable信号=“1”）のときに“0”データが取り込まれる。そのラッチ4-4の出力は、ANDゲート5, 6の一方の入力側へ供給され、その他方の入力側には前記CLK信号及びCLK#信号がそれぞれ供給されるようになっている。

【0056】従って、Enable信号による電源電流遮断モード時には、ラッチ群110, 120, 130, 140はすべてデータ取り込み口がクローズとなるため、各CMOSロジック150, 160, 170の電源供給を遮断しても他のブロックに影響は与えない。これにより、P-MOSパストランジスタ1-1, 2-1, 3-1をオフする順番を考慮する必要がなくなり、上記第1実施例のように時刻t6及びt7といった2つのタイミングでの測定が不要で、いずれか一方の状態で不良箇所の特定が可能となる。

【0057】また、CMOSロジック170から信号線7及びラッチ群120を経由して、CMOSロジック160へ影響のあるような帰還を行うデータパスがある場合であっても、他のブロックへのP-MOSパストランジスタをオフする順番を考慮せずに済む。

【0058】図6は、本発明の第3実施例に係る集積回路のテスト用回路を示すブロック図であり、図5と共通の要素には同一の符号が付されている。

【0059】本実施例は、ラッチ群を介さないCMOSロジック間のデータパスが存在した場合の例であり、信号線8, 9を経由してCMOSロジック150からCMOSロジック160へのデータ先出を行うものとする。このような場合では、信号線8と信号線9との間にラッチ10を挿入する。ラッチ10は、電源ライン10Aと接地ライン10BによりそれぞれVDD電源ライン180とVSS接地ライン190に接続されている。そし

て、ラッチ10は、遮断制御回路4に供給されるEnable信号の反転であるEnable#信号を入力し、該Enable#信号に同期し動作する。従って、通常動作時にはEnable#信号は“1”であるので、ラッチ10のデータ取り込み口は常にオープンとなるため、信号線8と信号線9とは接続されている状態となる。

【0060】Enable信号が“1”による電源電流遮断モードでは、Enable#信号は“0”となり、ラッチ10のデータ取り込み口はクローズとなり信号線8から信号線9へのデータが伝わらないことから、図5の第2実施例同様、P-MOSパストランジスタをオフする順番を考慮することなく不良箇所の特定が可能となる。

【0061】図7は、本発明の第4実施例に係る集積回路のテスト用回路を示すブロック図であり、図5及び図6と共通の要素には同一の符号が付されている。

【0062】本実施例では、図5に示す第2実施例と図6に示す第3実施例とを組み合わせることで構成したものであり、その動作は上記の通りである。

【0063】

【発明の効果】以上詳細に説明したように、第1の発明によれば、順序回路と組み合わせ回路の双方を含む集積回路における各組み合わせ回路への電源経路をそれぞれ遮断する複数の電源経路遮断回路と、前記集積回路の電源電流を測定することで該集積回路の良否を判別するテスト実行時に、前記各電源経路遮断回路の遮断実行を制御する遮断制御回路とを備えたので、IDDQテスト時において不良箇所の特定を容易に行うことが可能となる。

【0064】第2の発明によれば、順序回路と組み合わせ回路の双方を含む集積回路における各組み合わせ回路への電源経路をそれぞれ遮断する複数の電源経路遮断回路と、前記集積回路の電源電流を測定することで該集積回路の良否を判別するテスト実行時に、前記各電源経路遮断回路の遮断実行を制御する遮断制御回路と、前記テスト実行時に前記各組み合わせ回路の出力をカットする出力カット手段とを備えたので、DC電流を伴う不良を固定し、他の回路に影響を与えることなく、電源経路を遮断することが可能となり、不良箇所の特定をより一層容易に行うことができる。

【図面の簡単な説明】

【図1】本発明の第1実施例に係る集積回路のテスト用回路を示すブロック図である。

【図2】図1中の遮断制御回路及び電源経路遮断回路の具体的な回路例を示す図である。

【図3】第1実施例の変形例を示す図である。

【図4】第1実施例の他の変形例を示す図である。

【図5】本発明の第2実施例に係る集積回路のテスト用回路を示すブロック図である。

【図6】本発明の第3実施例に係る集積回路のテスト用回路を示すブロック図である。

【図7】本発明の第4実施例に係る集積回路のテスト用回路を示すブロック図である。

【図8】従来の集積回路の一構成例を示すブロック図である。

【図9】ラッチの構成及び動作を示す図である。

【図10】組み合わせ回路のCMOS論理ゲートの一例を示す図である。

【図11】図8の回路の動作を示すタイミングチャートである。

【図12】CMOSロジックに発生したショート故障を示す図である。

【符号の説明】

1, 2, 3 電源経路遮断回路

4 遮断制御回路

5, 6 ANDゲート

110, 120, 130, 140 ラッチ群

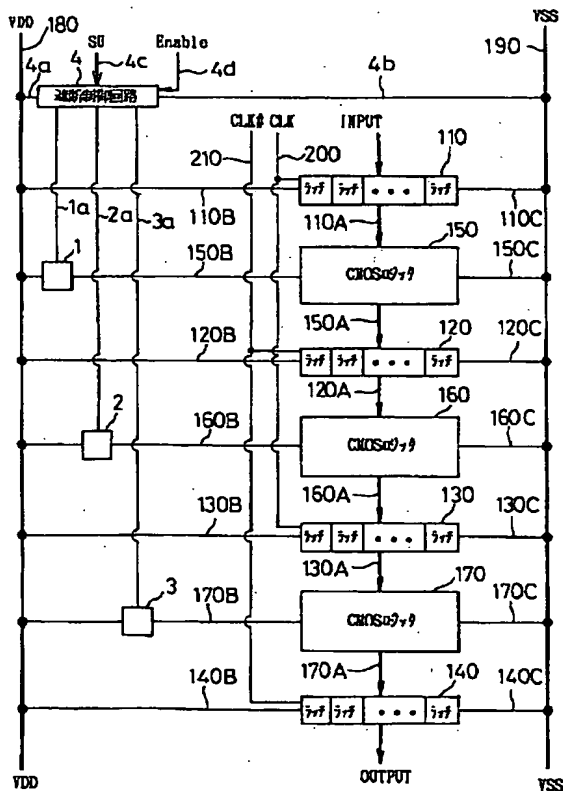
150, 160, 170 CMOSロジック

180 VDD電源ライン

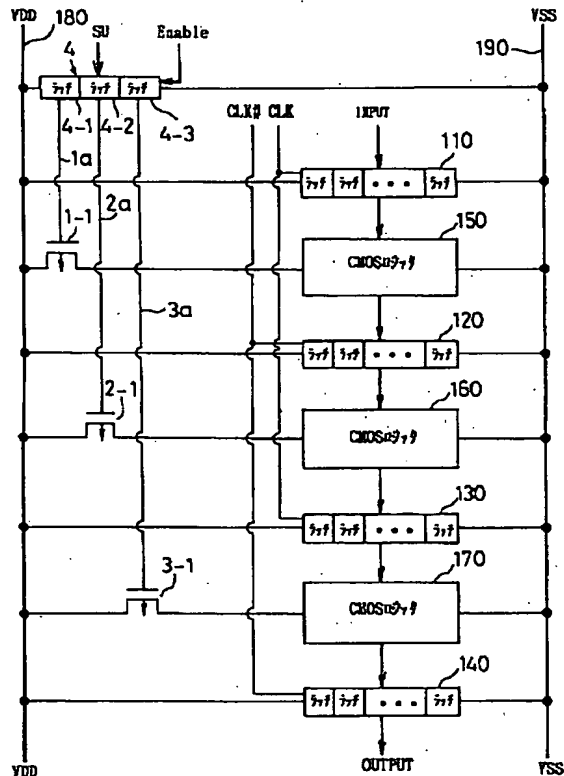
190 VSS接地ライン

200, 210 クロック信号線

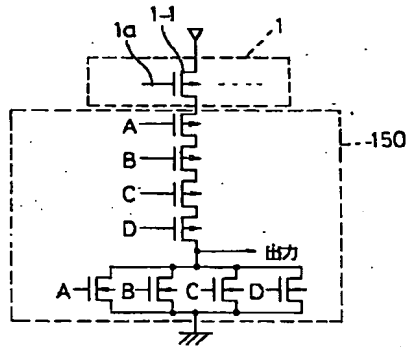
【図1】



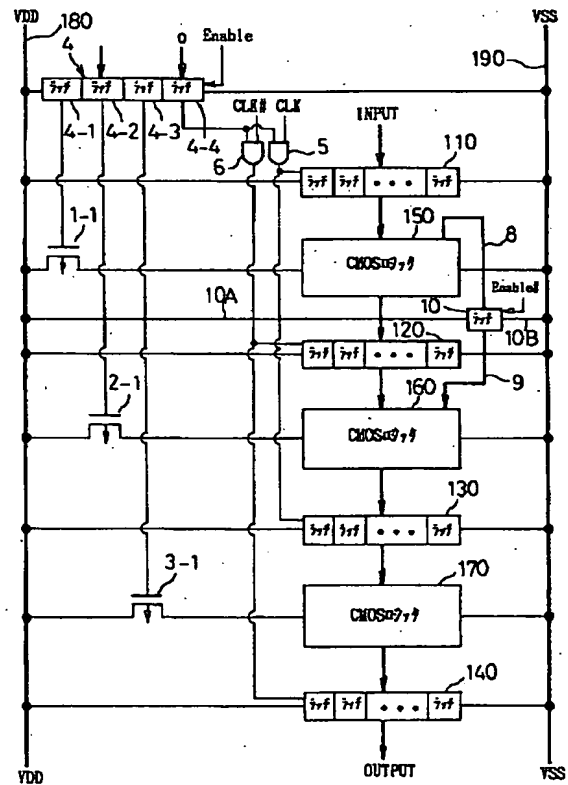
【図2】



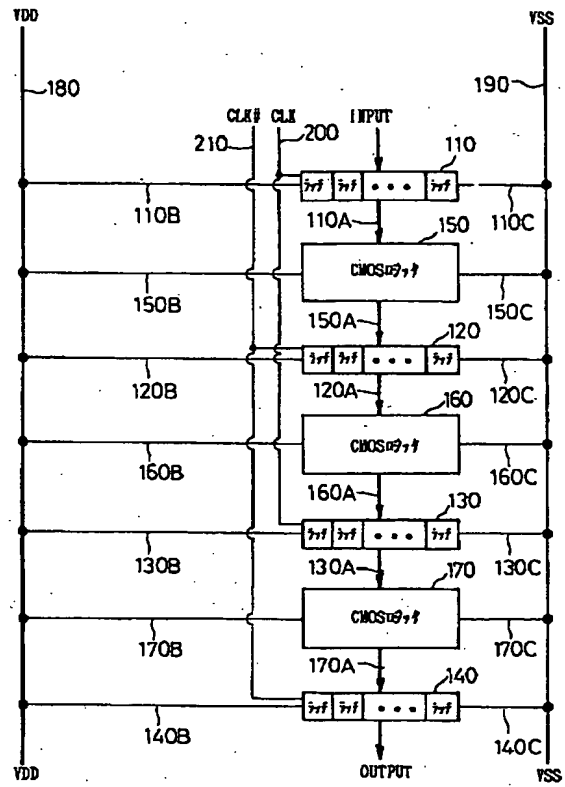
【图 4】



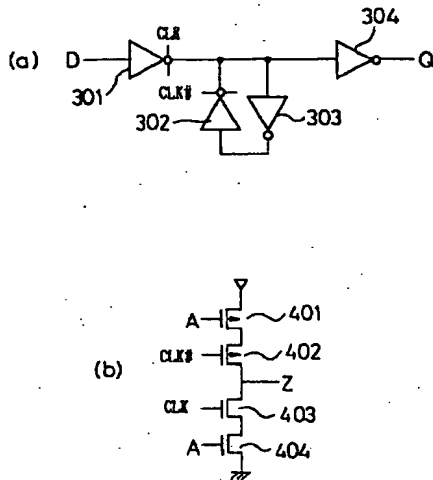
【図 6】



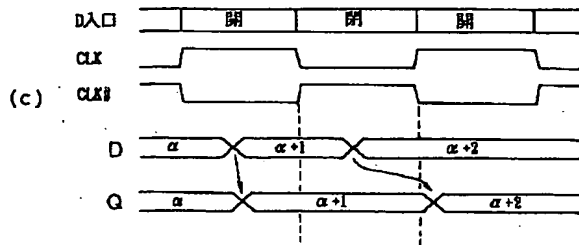
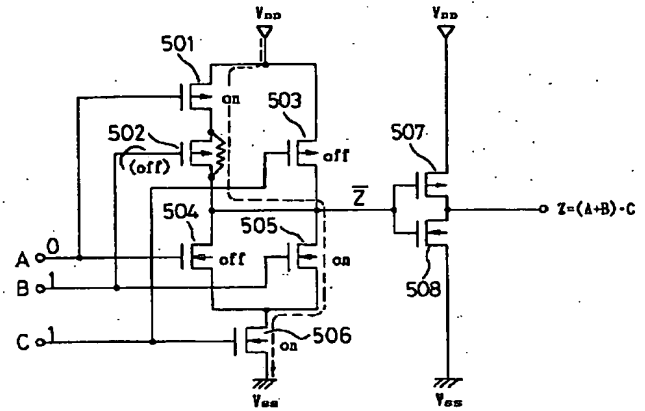
【图8】

[illegible]

【図9】



【図12】



【図11】

